

PATENT

Customer No.31561
Docket No.: 9700-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

is a re application of

Applicant : Elysia Lin et. al
Application No. : 10/604,882
Filed : August 25, 2003
For : FLASH MEMORY AND METHOD FOR
MANUFACTURING THE SAME
Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92103871,
filed on:2003/02/25.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQI CHYUN Intellectual Property Office

Dated: Oct. 2, 2003

By:

Belinda Lee
Belinda Lee

Registration No.: 46,863

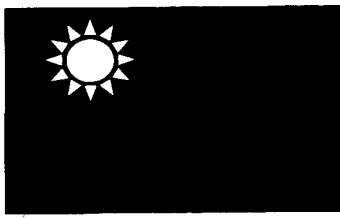
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 02 月 25 日
Application Date

申請案號：092103871
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 18 日
Issue Date

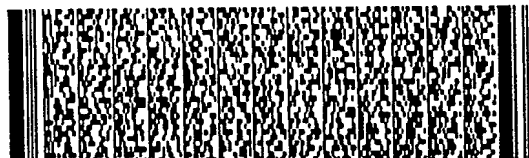
發文字號：09220938900
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	快閃記憶體的結構及其製造方法
	英 文	FLASH MEMORY AND THE METHOD FOR MANUFACTURING THE SAME
二、 發明人 (共2人)	姓 名 (中文)	1. 林佳芳 2. 張書政
	姓 名 (英文)	1. Elysia Lin 2. Chang Shu-Cheng
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市長江路一段48巷2弄1-4號5樓 2. 新竹市關東路217號8樓
	住居所 (英 文)	1. 5F1., No. 1-4, Alley 2, Lane 48, Sec. 1, Changjiang Rd., Banchiau City, Taipei, Taiwan 220, R.O.C. 2. 8 F, No. 217, Kuan-Tung Rd., Hsinchu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur Y.C. Chiao



四、中文發明摘要 (發明名稱：快閃記憶體之結構及其製造方法)

一種快閃記憶體的製造方法，此方法係於基底上依序形成圖案化之第一介電層、第一導體層與硬罩層。接著，於基底上形成共形的第二導體層，再以硬罩層為蝕刻終止層，回蝕第二導體層以於第一導體層兩側壁形成導體間隙壁。然後移除硬罩層，再於基底上依序形成第二介電層與第三導體層。其後，定義第三導體層、第二介電層、第一導體層、導體間隙壁與第一介電層以形成堆疊閘極結構，其中堆疊閘極結構之浮置閘極係由殘留之第一導體層與導體間隙壁所構成。之後於堆疊閘極結構兩側的基底中形成源極區與汲極區。

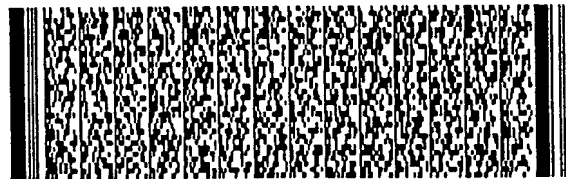
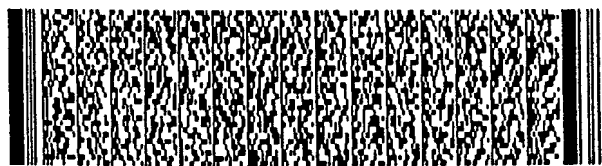
伍、(一)、本案代表圖為：第___4D___圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底 202：淺溝渠隔離層 204：穿隧氧化層
212：條狀導體層 214：條狀硬罩層 218：導體間

陸、英文發明摘要 (發明名稱：FLASH MEMORY AND THE METHOD FOR MANUFACTURING THE SAME)

A method for manufacturing a flash memory. A patterned first dielectric layer, a patterned first conductive layer and a patterned hard mask layer are formed on a substrate sequentially. A conformal second conductive layer is formed on the substrate, and then the conformal second conductive layer is etched back to form the conductive spacer on the sidewalls of the first



四、中文發明摘要 (發明名稱：快閃記憶體的結構及其製造方法)

隙壁

陸、英文發明摘要 (發明名稱：FLASH MEMORY AND THE METHOD FOR MANUFACTURING THE SAME)

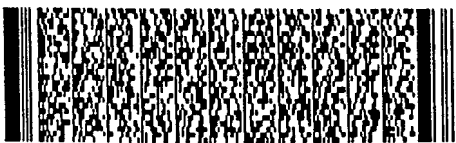
dielectric layer. The hard mask layer is removed, and then a second dielectric layer and a third conductive layer are formed on the substrate sequentially. Afterward the third conductive layer, the second dielectric layer, the first conductive layer, the conductive spacer and the first dielectric layer are patterned to form a stacked gate structure, wherein the floating gate



四、中文發明摘要 (發明名稱：快閃記憶體的结构及其製造方法)

陸、英文發明摘要 (發明名稱：FLASH MEMORY AND THE METHOD FOR MANUFACTURING THE SAME)

of the stacked gate structure is consisted of remaining first conductive layer and the conductive spacer. Then a source/drain region is formed in the substrate beside the stacked gate structure.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

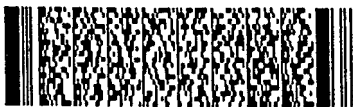
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

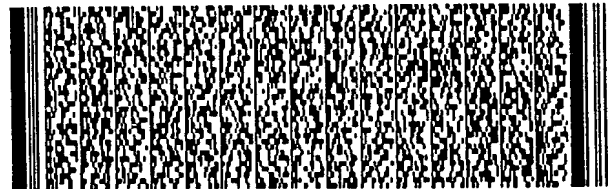
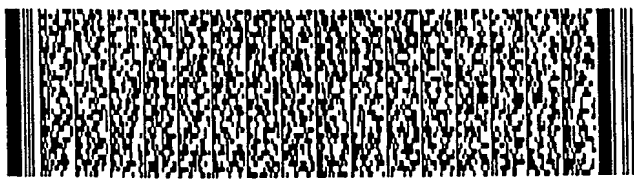
本發明是有關於一種快閃記憶體的结构及其製造方法，且特別是有關於一種於浮置閘極中具有導體間隙壁之快閃記憶體的结构及其製造方法。

先前技術

記憶體，顧名思義便是用以儲存資料或數據的半導體元件。當電腦微處理器之功能越來越強，軟體所進行之程式與運算越來越龐大時，記憶體之需求也就越來越高，為了製造容量大且便宜的記憶體以滿足這種需求的趨勢，製作記憶體元件之技術與製程，已成為半導體科技持續往高積集度挑戰之驅動力。

舉例來說，快閃記憶體元件由於具有可多次進行資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點，所以已成為個人電腦和電子設備所廣泛採用的一種非揮發性記憶體元件。

典型的快閃記憶體元件係以摻雜的多晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)。而且，浮置閘極與控制閘極之間以多晶矽間介電層(Inter-poly dielectric)相隔，而浮置閘極與基底間以穿隧氧化層(Tunnel Oxide)相隔。當對快閃記憶體進行寫入/抹除(Write/Erase)資料之操作時，係藉由於控制閘極與源極/汲極區施加偏壓，以使電子注入浮置閘極或使電子從浮置閘極拉出。而在讀取快閃記憶體中的資料時，係於控制閘極上施加一工作電壓，此時浮置閘極的帶電狀態會影響其



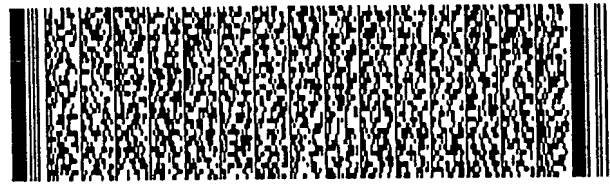
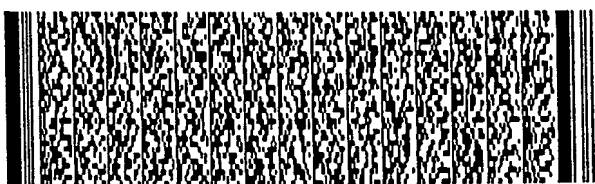
五、發明說明 (2)

下通道(Channel)的開/關，而此通道之開/關即為判讀資料值「0」或「1」之依據。

請同時參照第1圖與第2圖，第1圖所繪示為習知一種快閃記憶體的上視圖，第2圖所繪示為第1圖之A-A'切線的剖面圖。此快閃記憶體係由基底100、穿隧氧化層104、浮置閘極106、多晶矽間介電層108與控制閘極110所構成。其中在基底100中形成有複數的淺溝渠隔離層102以區隔不同的記憶胞，浮置閘極106係略呈矩形塊狀，並間隔穿隧氧化層102設置於基底100上。控制閘極110係略呈條狀，其走向係垂直於淺溝渠隔離層102，並間隔多晶矽間介電層108設置在複數的浮置閘106與基底100上。並且浮置閘極106與控制閘極110形成後，更在基底100中植入摻質，以形成源極區112與汲極區114。

然而，由於在上述之快閃記憶體中浮置閘極106係略呈矩形，因此於第1圖與第2圖的圈示位置116處，浮置閘極106係為略呈直角的輪廓，而當此快閃記憶體在進行操作，而於控制閘極110上施加的電壓較大時，儲存於浮置閘極106中的電荷可能會從圈示位置116的直角處經由多晶矽間介電層108注入控制閘極110中，進而導致資料的流失。此外，在蝕刻形成浮置閘極時，如對蝕刻條件的控制不當而導致浮置閘極側壁產生底切(undercut)現象時，此時浮置閘極的直角結構將會變的更加尖銳，使得電荷(資料)更容易流失。

發明內容



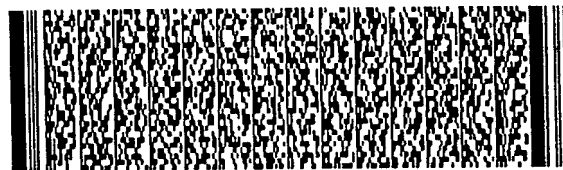
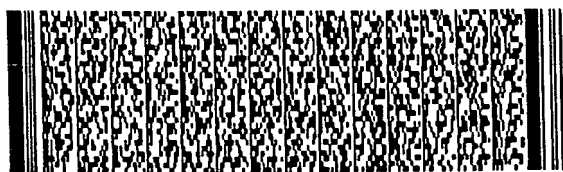
五、發明說明 (3)

因此，本發明的目的在提供一種快閃記憶體的結構及其製造方法，能夠避免浮置閘極中所儲存的資料射入控制閘極而導致資料流失，以提升資料保存能力。

本發明的另一目的係在提供一種快閃記憶體的結構及其製造方法，能夠增加浮置閘極與控制閘極間所夾的面積，進而增加快閃記憶體的閘極耦合率(Gate Coupling Ratio, GCR)。

本發明提供一種快閃記憶體的製造方法，此方法係於基底上依序形成圖案化之第一介電層、第一導體層與硬罩層。接著，於基底上形成共形的第二導體層，再以硬罩層為蝕刻終止層，回蝕第二導體層以於第一導體層兩側壁形成導體間隙壁。然後移除硬罩層，再於基底上依序形成第二介電層與第三導體層。其後，定義第三導體層、第二介電層、第一導體層、導體間隙壁與第一介電層以形成堆疊閘極結構，其中堆疊閘極結構之浮置閘極係由殘留之第一導體層與導體間隙壁所構成。其後於堆疊閘極結構兩側的基底中形成源極區與汲極區。

本發明提供一種快閃記憶體的結構，此快閃記憶體的結構主要係由基底、穿隧氧化層、浮置閘極、多晶矽間介電層、控制閘極、源極區與汲極區所構成。其中浮置閘極係設置於基底上，且浮置閘極係由圖案化之導體層與設置於導體層相對兩側壁的導體間隙壁所構成。穿隧氧化層係設置於基底與浮置閘極之間，控制閘極係設置於浮置閘極上，且多晶矽間介電層係設置於控制閘極與浮置



五、發明說明 (4)

閘極之間，其中穿隧氧化層、浮置閘極、多晶矽間介電層與控制閘極係構成堆疊閘極結構。而且源極區與汲極區係設置於堆疊閘極結構兩側之基底中。

由上述可知，由於本發明係在作為浮置閘極的導體層側壁設置導體間隙壁，並藉由導體間隙壁圓化(Rounding)導體層的直角輪廓以及避免浮置閘極側壁的底切現象，因此不會產生電荷由浮置閘極之直角處注入控制閘極的問題，進而能夠避免快閃記憶體之資料流失，並提昇資料的保存能力。

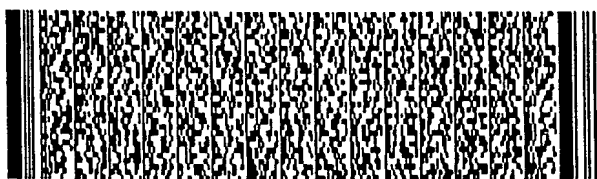
而且，由於本發明之浮置閘極係由導體層與導體層兩側之導體間隙壁以形成，故而能夠增加浮置閘極與後續形成之控制閘極間所夾的面積，進而提高堆疊式閘極的閘極耦合率。

此外，在形成導體間隙壁的製程中，由於在預定作為浮置閘極的導體層上係形成一層硬罩層，並以硬罩層作為回蝕製程的蝕刻終止層，因此能夠使硬罩層之下的導體層保持完整的輪廓與結構，進而使得浮置閘極亦能夠具有完整的輪廓與結構，並且在實際製程中亦較可控制整個晶圓的均勻性。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

本發明提供一種快閃記憶體之製造方法。第3A圖至第



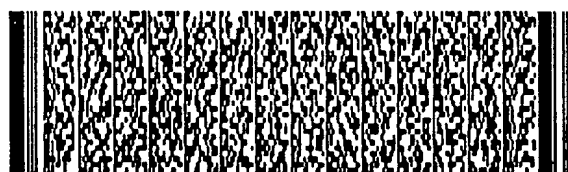
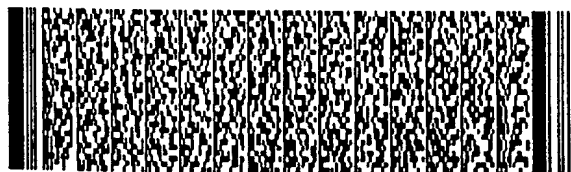
五、發明說明 (5)

3E圖所繪示為本發明較佳實施例之一種快閃記憶體之製造流程上視圖。第4A圖至第4E圖所繪示為本發明較佳實施例之一種快閃記憶體之製造流程剖面圖。第5A圖至第5E圖所繪示同樣為本發明較佳實施例之一種快閃記憶體之製造流程剖面圖。其中第4A圖至第4E圖所繪示者分別為第3A圖至第3E圖之結構沿著B-B'切線之剖面圖。第5A圖至第5E圖所示者分別為第3A圖至第3E圖之結構沿著C-C'切線之剖面圖，並且第4A圖至第4E圖與第5A圖至第5E圖的剖面係互相垂直。

首先，請同時參照第3A圖、第4A圖與第5A圖，提供一基底200，此基底200例如是半導體矽基底，並且於此基底200中已形成有淺溝渠隔離層202。首先，於基底200中形成介電層204，其中形成介電層204的材質例如是氧化矽，形成介電層204的方法例如是熱氧化法(Thermal Oxidation)。

接著，於基底200上形成一層導體層206。其中導體層206之材質例如是摻雜多晶矽，形成導體層206之方法例如是以臨場摻雜離子之方式，利用化學氣相沈積法於基底200上形成一層摻雜多晶矽層。然後，在導體層206上形成一層硬罩層208，其中此硬罩層208的材質例如是氮化矽、氮氧化矽、氧化矽或是旋塗玻璃(Spin On Glass, SOG)，形成此硬罩層208的方法例如是化學氣相沈積法或是旋轉塗佈法，且此硬罩層208的厚度例如是1至200埃左右。

接著，請同時參照第3B圖、第4B圖與第5B圖，於硬罩



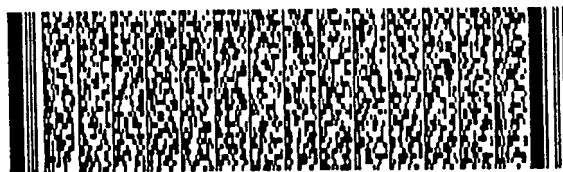
五、發明說明 (6)

層208上形成圖案化的罩幕層210，其中此罩幕層210的材料例如是光阻，接著，圖案化硬罩層208與導體層206，以形成複數的條狀導體層212與複數的條狀硬罩層214，其中圖案化硬罩層208與導體層206的方法例如是以圖案化的罩幕層210為罩幕，去除罩幕層210之外的硬罩層208與導體層206，尚且去除硬罩層208與導體層206的方法例如是使用非等向性蝕刻法。

接著，請同時參照第3C圖、第4C圖與第5C圖，移除罩幕層210，然後於基底200上形成共形導體層216，其中此共形導體層216的材質例如是摻雜多晶矽，形成共形導體層216之方法例如是以臨場摻雜離子之方式，利用化學氣相沈積法於基底200上形成一層共形之摻雜多晶矽層，且共形導體層216的厚度例如是1至1000埃。

接著，請同時參照第3D圖、第4D圖與第5D圖，去除部分之共形導體層216，以於條狀導體層212之兩側壁形成導體間隙壁218，其中去除部分之共形導體層216的方法例如是以硬罩層208為蝕刻終點，對共形導體層216進行回蝕(Etching Back)製程至露出硬罩層208表面為止，並於條狀導體層212之兩側壁形成導體間隙壁218。

由於在條狀導體層212上係形成有硬罩層214，且此硬罩層214係能夠作為回蝕製程的蝕刻終止層，因此，在經由回蝕共形導體層216以形成導體間隙壁的製程後，由於導體層212係受到硬罩層214(蝕刻終止層)的保護，故而使得導體層212能夠具有完整的輪廓與結構。

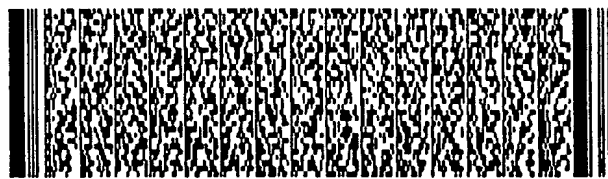
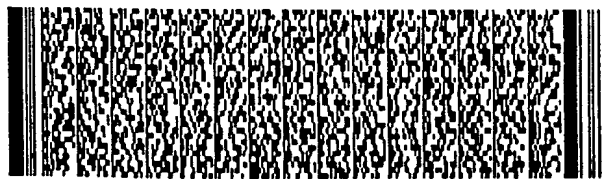


五、發明說明 (7)

尚且，由於此導體間隙壁218係形成於導體層212側壁，使得導體層212之直角輪廓被導體間隙壁218鈍角化/圓化，因此習知浮置閘極之直角輪廓或是側壁底切現象不復存在，進而能夠避免資料由直角處流失的問題。此外，導體層212與導體間隙壁218預定與控制閘極接觸的面積，顯然大於導體層212預定與控制閘極接觸的面積，因此，利用導體層212與導體間隙壁218所形成的浮置閘極能夠具有較高的電荷耦合率。

接著，請同時參照第3E圖、第4E圖與第5E圖，移除硬罩層208之後，於基底200上形成一層介電層(未圖示)、一層導體層(未圖示)，再利用罩幕將導體層圖案化，用以定義出做為控制閘極之用的導體層220，在定義導體層220的同時，繼續以相同的罩幕定義介電層、條狀導體層212、導體間隙壁218，使其分別形成介電層222、導體層212a與導體間隙壁218a，其中導體層212a與導體間隙壁218a係做為浮置閘極之用。亦即，快閃記憶體的堆疊閘極結構224係由圖示之導體層220(控制閘極)、介電層222(多晶矽間介電層)、導體層212a與導體間隙壁218a(浮置閘極)與介電層204(穿隧氧化層)的堆疊結構所構成。其後，進行後續的製程以於基底200形成源極區226與汲極區228，並接續完成快閃記憶體的製作，由於後續製程屬於習知一般的製程，在此不再贅述。

上述說明為本發明之快閃記憶體的製造方法，接著請繼續同時參照第4E圖與第5E圖，以說明本發明較佳實施例



五、發明說明 (8)

之快閃記憶體之結構。

本發明較佳實施例之快閃記憶體係由基底200、介電層204、導體層212a、導體間隙壁218a、介電層222、導體層220、源極區226、汲極區228所構成。

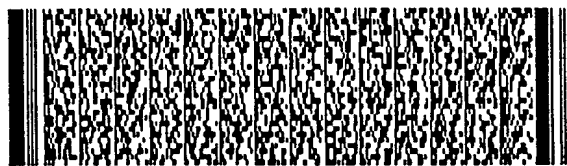
其中導體間隙壁218a係設置在導體層212a之相對兩側壁，並且導體間隙壁218a與導體層212a係組成快閃記憶體的浮置閘極，此浮置閘極係藉由介電層(穿隧氧化層)204設置於基底200上。

導體層220係作為快閃記憶體的控制閘極，其中導體層220係藉由介電層(多晶矽間介電層)222設置於浮置閘極與基底200上。上述之介電層204、浮置閘極(導體間隙壁218a與導體層212a)、介電層222與導體層220係組成快閃記憶體之堆疊閘極結構224。

源極區226與汲極區228係設置於堆疊閘極結構224兩側的基底200中，其中，源極區226與汲極區228係設置於導體層212a未設置導體間隙壁218a之兩側的基底200中。

綜上所述，由於本發明係在作為浮置閘極的導體層側壁設置導體間隙壁，並藉由導體間隙壁以使導體層的直角輪廓圓化以及避免側壁底切現象發生，因此在進行快閃記憶體的操作時，即使對控制閘極施加較大電壓，亦不會產生電荷由浮置閘極直角處流失的問題，進而能夠提昇資料的保存能力。

而且，由於本發明之浮置閘極係由導體層與設置於導體層側壁的導體間隙壁以形成，故而能夠增加浮置閘極與

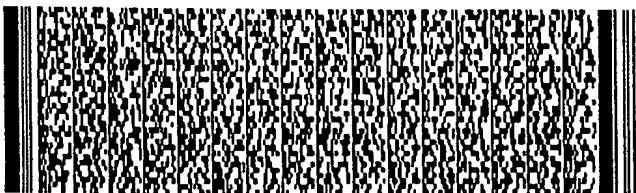


五、發明說明 (9)

控制閘極間所夾的面積，進而提高堆疊閘極結構的閘極耦合率，並提昇此快閃記憶體的电性表現。

此外，在形成導體間隙壁的製程中，由於在預定作為浮置閘極的導體層上形成一層硬罩層，而能夠以硬罩層作為回蝕製程的蝕刻終止層/保護層，因此能夠使硬罩層之下的導體層保持完整的輪廓與結構，進而使得浮置閘極亦具有完整的輪廓與結構，並且在實際製程中亦較可控制整個晶圓的均勻性。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖所繪示為習知一種快閃記憶體的上視圖；

第2圖所繪示為第1圖之快閃記憶體沿著A-A'切線的剖面圖；

第3A圖至第3E圖所繪示為本發明較佳實施例之一種快閃記憶體之製造流程上視圖；

第4A圖至第4E圖所繪示為本發明較佳實施例之一種快閃記憶體沿著第3A圖至第3E圖之B-B'切線之製造流程剖面圖；以及

第5A圖至第5E圖所繪示為本發明較佳實施例之一種快閃記憶體沿著第3A圖至第3E圖之C-C'切線之製造流程剖面圖，並且第4A圖至第4E圖與第5A圖至第5E圖的剖面係互相垂直。

圖式標示說明：

100、200：基底

102、202：淺溝渠隔離層

104：穿隧氧化層

106：浮置閘極

108：多晶矽間介電層

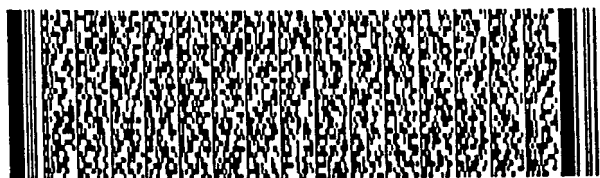
110：控制閘極

112、226：源極區

114、228：汲極區

116：圈示位置

204：穿隧氧化層



圖式簡單說明

206、212a、220：導體層

208：硬罩層

210：罩幕層

212：條狀導體層

214：條狀硬罩層

216：共形的導體層

218、218a：導體間隙壁

222：介電層

224：堆疊閘極結構



六、申請專利範圍

1. 一種快閃記憶體的製造方法，包括：

於一基底上依序形成圖案化之一第一介電層、圖案化之一第一導體層與圖案化之一硬罩層；

於該基底上形成共形之一第二導體層；

以該硬罩層為蝕刻終止層，回蝕該第二導體層以於該第一導體層兩側壁形成一導體間隙壁；

移除該硬罩層；

於該基底上依序形成一第二介電層與一第三導體層；

定義該第三導體層、該第二介電層、該第一導體層、該導體間隙壁與該第一介電層以形成一堆疊閘極結構，其中該堆疊閘極結構之一浮置閘極係由殘留之該第一導體層與該導體間隙壁所構成；以及

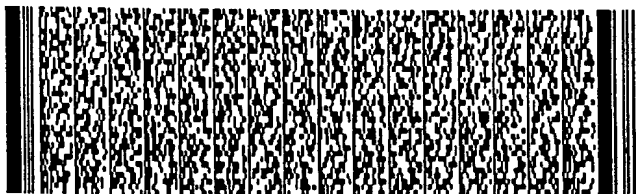
於該堆疊閘極結構兩側的該基底中形成一源極區與一汲極區。

2. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中於該基底上依序形成圖案化之該第一介電層、圖案化之該第一導體層與圖案化之該硬罩層的方法包括下列步驟；

於該基底上依序形成一第三介電層、一第四導體層與一硬罩材料層；以及

定義該第三介電層、該第四導體層與該硬罩材料層，以於該基底上形成圖案化之該第一介電層、圖案化之該第一導體層與圖案化之該硬罩層。

3. 如申請專利範圍第1項所述之快閃記憶體的製造方



六、申請專利範圍

法，其中該硬罩層的材質包括選自氮化矽、氮氧化矽、氧化矽、旋塗玻璃其中之一。

4. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中形成該硬罩層的方法包括選自化學氣相沈積法與旋轉塗佈法其中之一。

5. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中該硬罩層的厚度為1至200埃左右。

6. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中該第一導體層的材質包括摻雜多晶矽。

7. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中共形之該第二導體層的材質包括摻雜多晶矽。

8. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中形成共形之該第二導體層之方法包括化學氣相沈積法。

9. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中共形之該第二導體層的厚度為1至1000埃左右。

10. 一種快閃記憶體的結構，包括：

一基底；

一浮置閘極，設置於該基底上，其中該浮置閘極包括：

圖案化之一導體層，設置於該基底上；以及

一導體間隙壁，設置於圖案化之該導體層之相對兩側壁；

一穿隧氧化層，設置於該基底與該浮置閘極之間；



六、申請專利範圍

一 控制閘極，設置於該浮置閘極上；

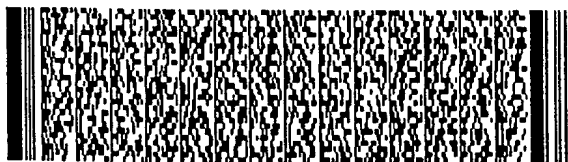
一 多晶矽間介電層，設置於該控制閘極與該浮置閘極之間，其中該穿隧氧化層、該浮置閘極、該多晶矽間介電層與該控制閘極係構成一堆疊閘極結構；以及

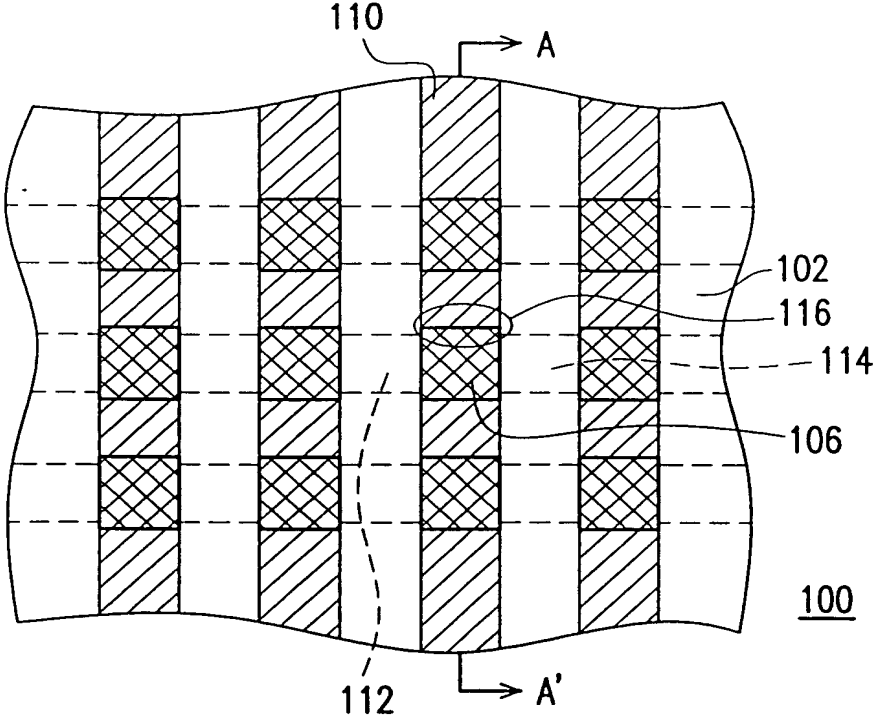
一 源極區與一汲極區，設置於該堆疊閘極結構兩側之該基底中。

11. 如申請專利範圍第10項所述之快閃記憶體的結構，其中該導體層的材質包括摻雜多晶矽。

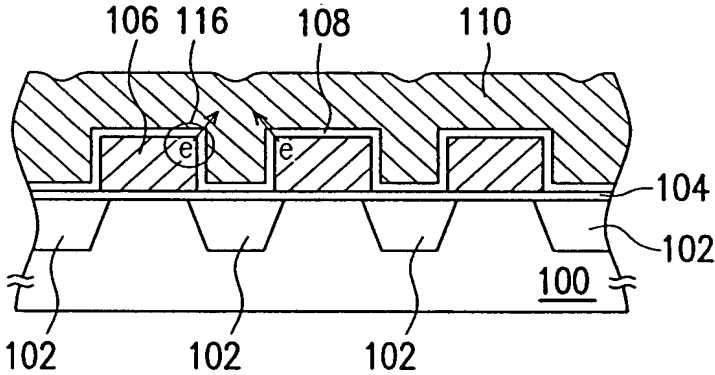
12. 如申請專利範圍第10項所述之快閃記憶體的結構，其中該導體間隙壁的材質包括摻雜多晶矽。

13. 如申請專利範圍第10項所述之快閃記憶體的結構，其中該源極區與該汲極區係設置於該導體層未設置該導體間隙壁之兩側壁的該基底中。

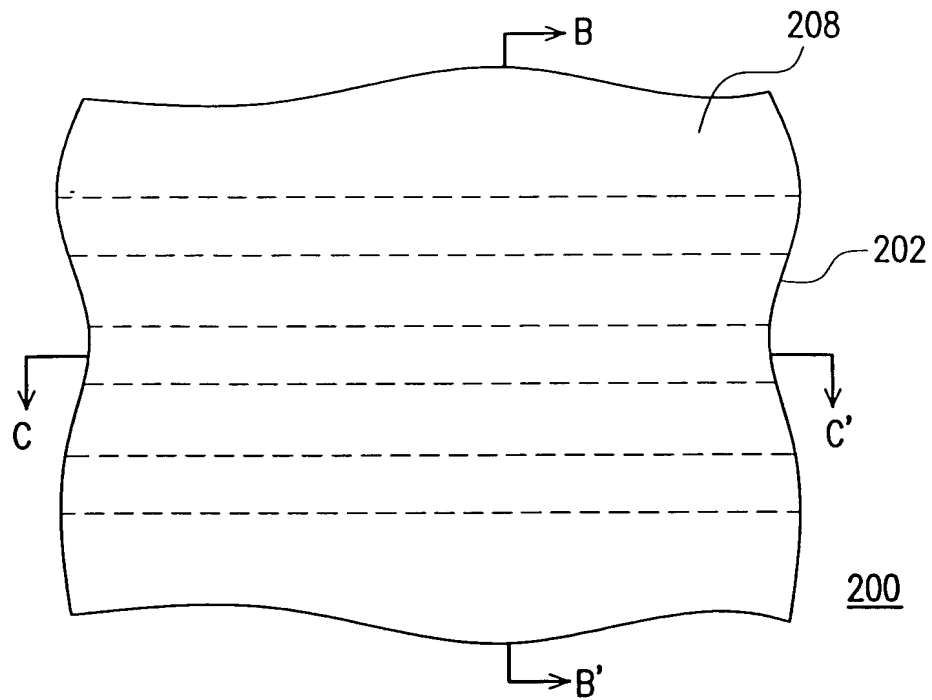




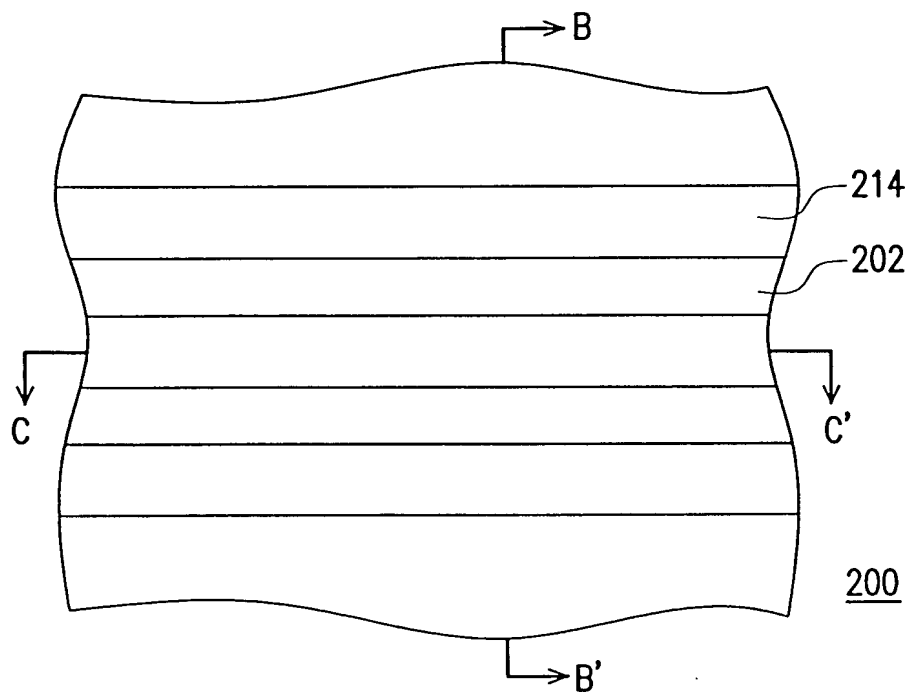
第 1 圖



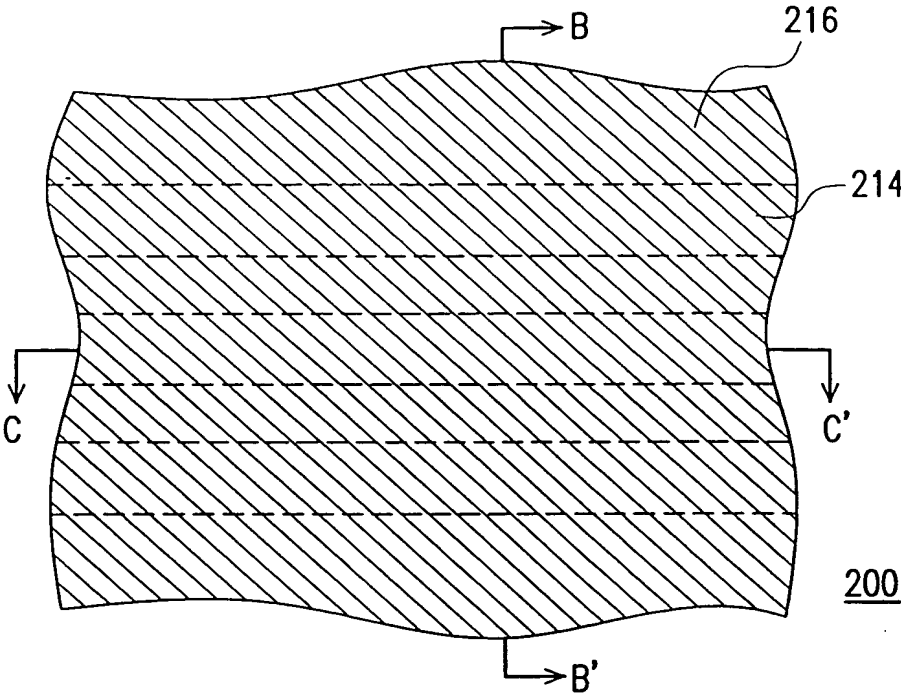
第 2 圖



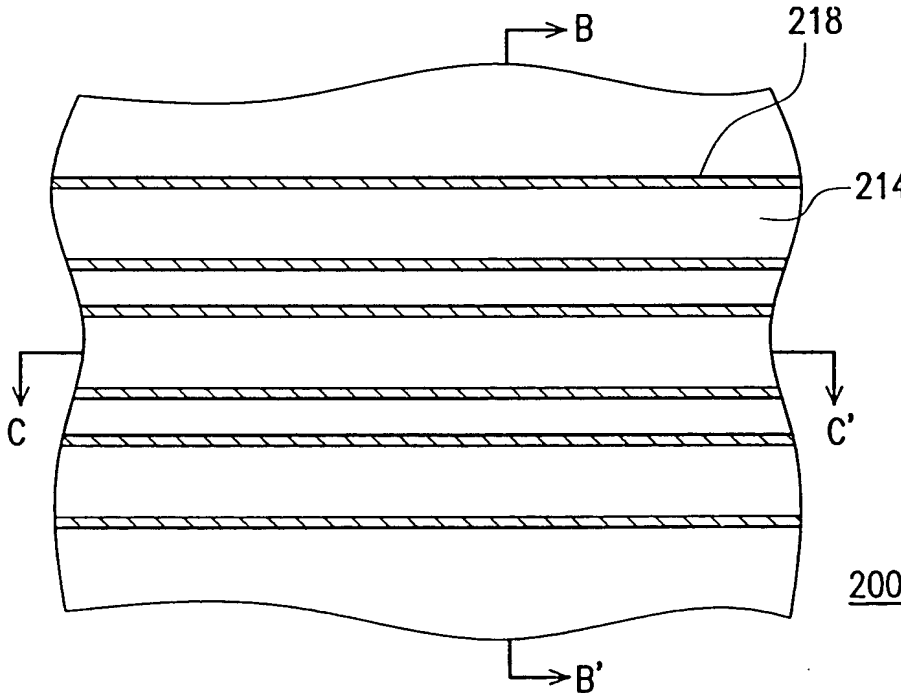
第 3A 圖



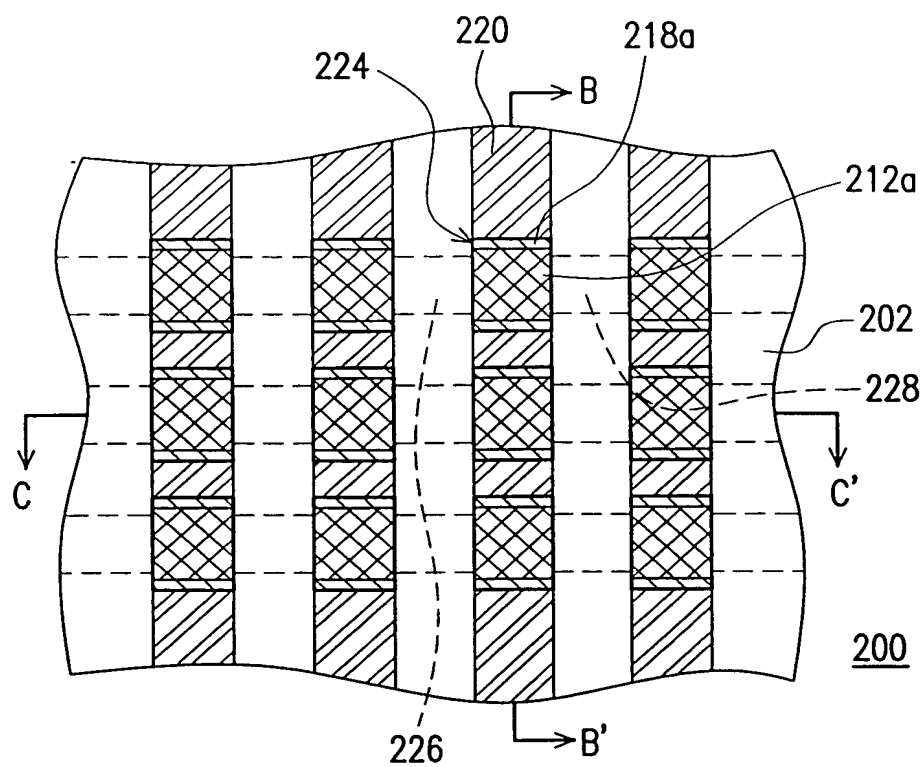
第 3B 圖



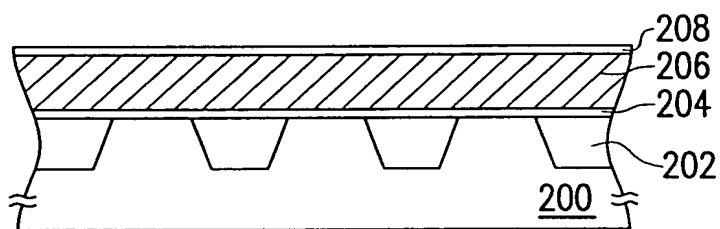
第 3C 圖



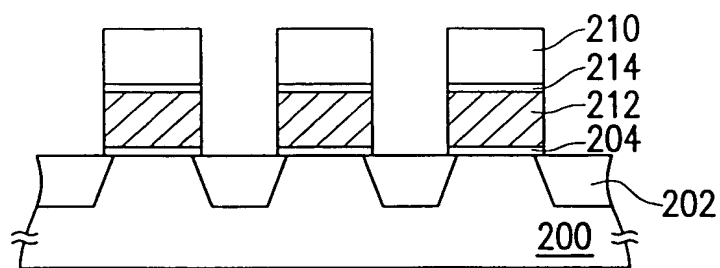
第 3D 圖



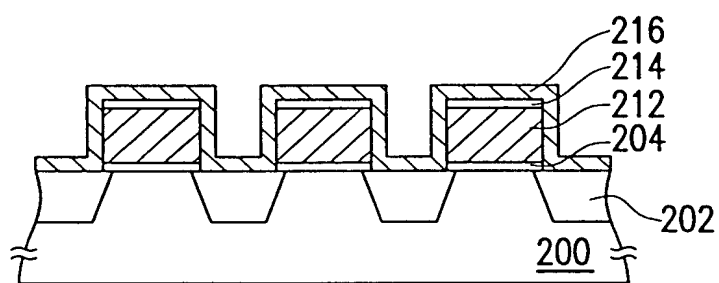
第 3E 圖



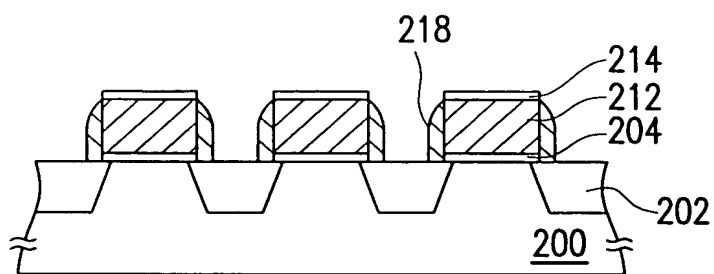
第 4A 圖



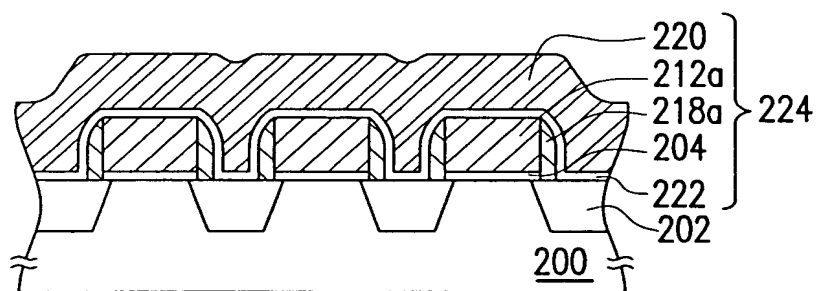
第 4B 圖



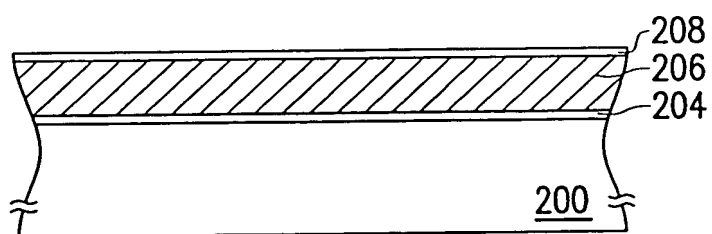
第 4C 圖



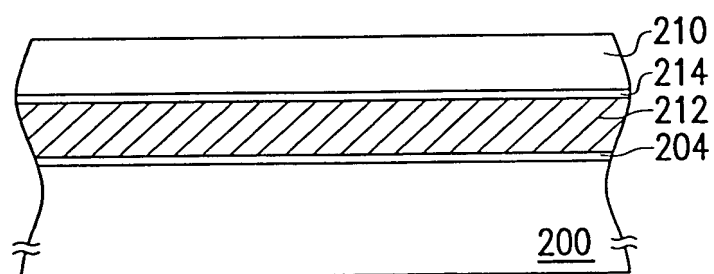
第 4D 圖



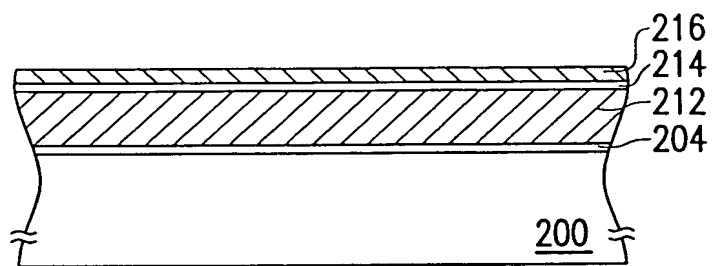
第 4E 圖



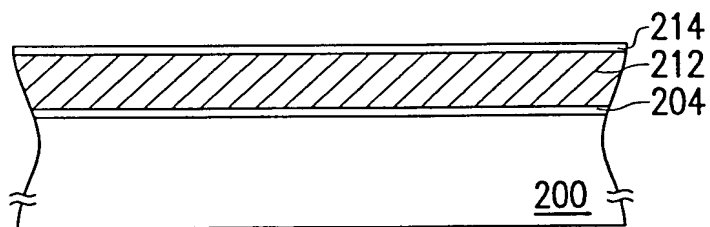
第 5A 圖



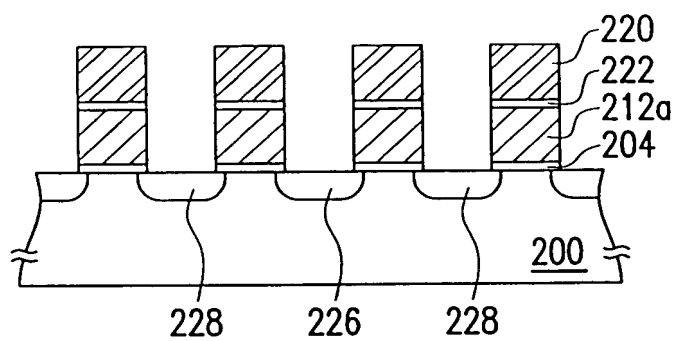
第 5B 圖



第 5C 圖

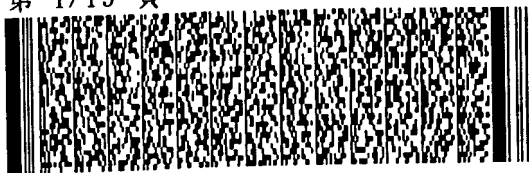


第 5D 圖

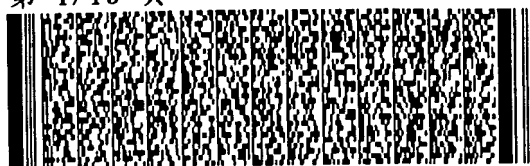


第5E圖

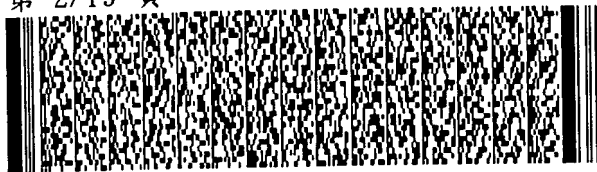
第 1/19 頁



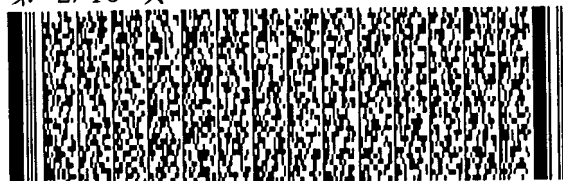
第 1/19 頁



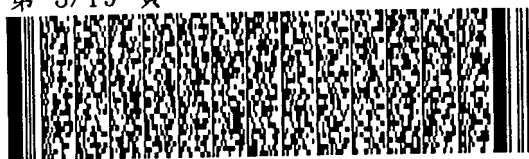
第 2/19 頁



第 2/19 頁



第 3/19 頁



第 4/19 頁



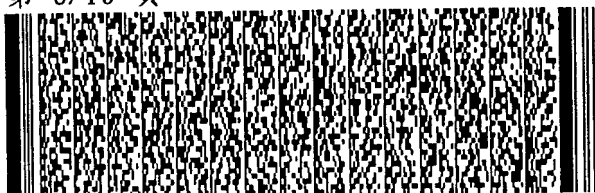
第 5/19 頁



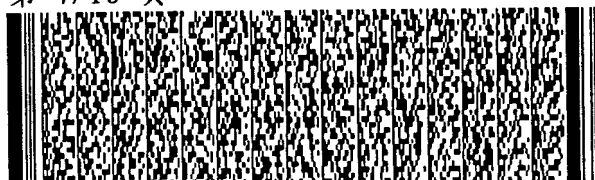
第 6/19 頁



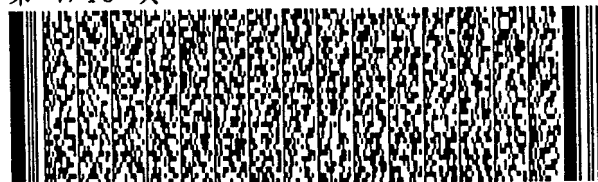
第 6/19 頁



第 7/19 頁



第 7/19 頁



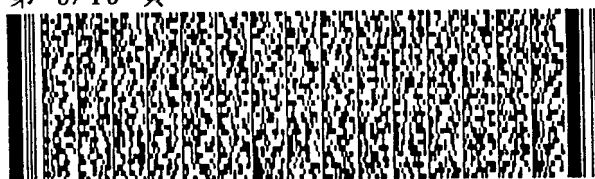
第 8/19 頁



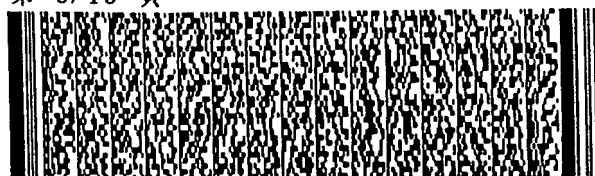
第 8/19 頁



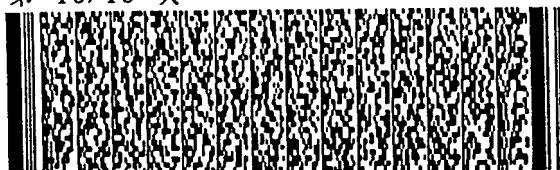
第 9/19 頁



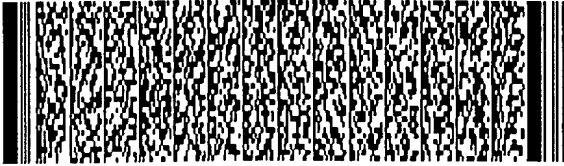
第 9/19 頁



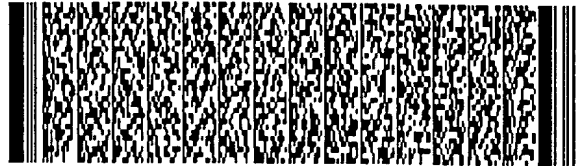
第 10/19 頁



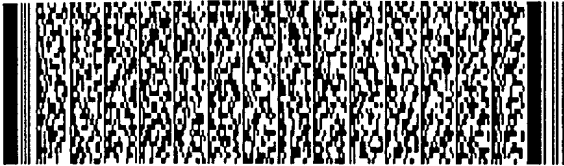
第 10/19 頁



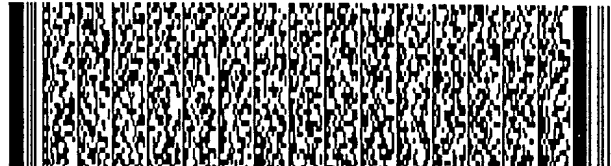
第 11/19 頁



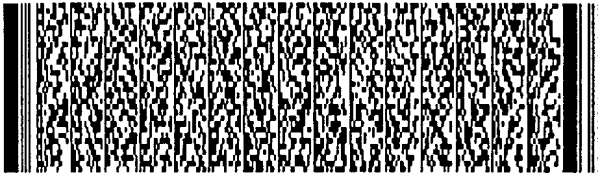
第 11/19 頁



第 12/19 頁



第 12/19 頁



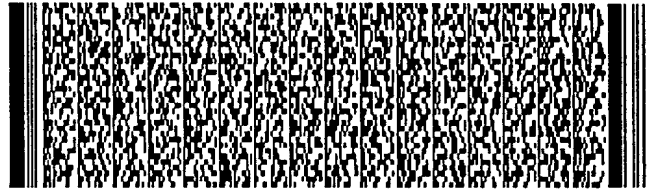
第 13/19 頁



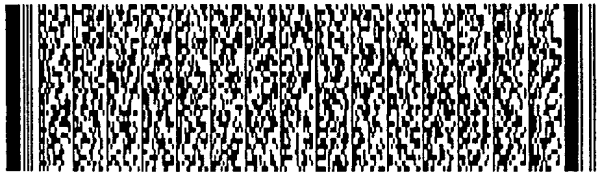
第 13/19 頁



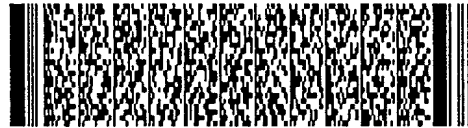
第 14/19 頁



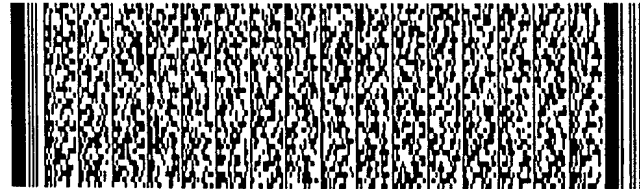
第 15/19 頁



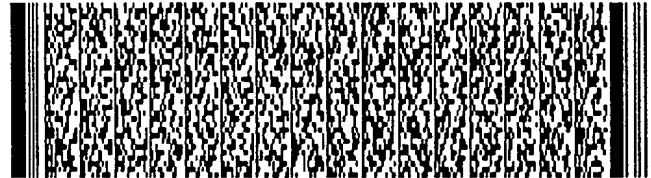
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

